

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 2 月 12 日 (12.02.2004)

PCT

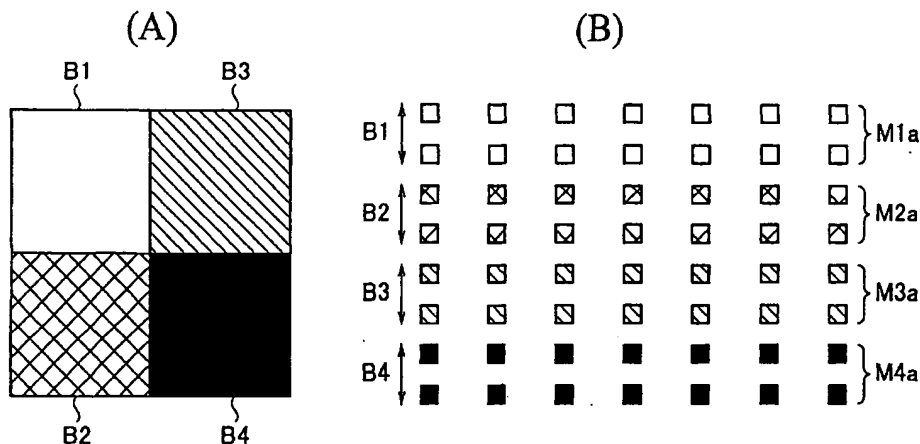
(10) 国際公開番号
WO 2004/013904 A1

- (51) 国際特許分類⁷: H01L 21/027, G03F 1/16, 7/20 (72) 発明者; および
(21) 国際出願番号: PCT/JP2003/009926 (75) 発明者/出願人 (米国についてののみ): 納土 晋一郎
(22) 国際出願日: 2003 年 8 月 5 日 (05.08.2003) (NOUDO, Shinichiro) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
(25) 国際出願の言語: 日本語 天井 桂子 (AMAI, Kelko) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2002-227670 2002 年 8 月 5 日 (05.08.2002) JP (74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒105-0001 東京都港区虎ノ門1丁目2番3号 虎ノ門第一ビル9階 三好内外国特許事務所内 Tokyo (JP).
(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP). (81) 指定国 (国内): KR, US.

[続葉有]

(54) Title: COMPLEMENTARY DIVISION MASK HAVING ALIGNMENT MARK, METHOD FOR FORMING ALIGNMENT MARK OF THE COMPLEMENTARY DIVISION MASK, SEMICONDUCTOR DEVICE MASK MANUFACTURED BY USING THE COMPLEMENTARY DIVISION MASK, AND ITS MANUFACTURING METHOD

(54) 発明の名称: アライメントマークを有する相補分割マスク、該相補分割マスクのアライメントマークの形成方法、該相補分割マスクを使用して製造される半導体デバイス、及びその製造方法



(57) Abstract: Conventionally, a plurality of complementary division masks having an alignment mark are used to manufacture a semiconductor having patterns of layers, frequently causing misalignment of the layers. According to the invention, division alignment marks (M1a, M2a, M3a, M4a) are formed in complementary division areas corresponding to the respective complementary division masks (B1, B2, B3, B4) produced by dividing a stencil mask. By apportioning the alignment marks to the complementary division masks, the misalignments of the masks are averaged, thereby providing a semiconductor device free of much misalignment between the patterns of adjacent layers.

(57) 要約: アライメントマークを有する相補分割マスクを使用して複数レイヤのパターンを有する半導体デバイスを形成する際に、相補分割マスクが複数枚存在するため、各レイヤ間のアライメントが不良になりやすい。ステンシルマスクを複数に分割した相補分割マスク (B1、B2、B3、B4) のそれぞれに対応する相補分割領域に分割アライメントマ

[続葉有]



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

ーク (M1 a、M2 a、M3 a、M4 a) を形成する。各相補分割マスクにアライメントマークを分配することにより各マスク間の位置ズレが平均化し、隣接するレイヤのパターン間に大きな位置ズレのない半導体デバイスが得られる。

明 細 書

- アライメントマークを有する相補分割マスク、該相補分割マスクのア
ライメントマークの形成方法、該相補分割マスクを使用して製造される
5 半導体デバイス、及びその製造方法

技術分野

- 本発明は、相補分割されたステンシルマスクを使用して複数レイヤの
10 パターニングを行う際のアライメントを良好に行って高精度のパターン
形成を可能にする相補分割マスク、該相補分割マスクへのアライメント
マーク形成方法、該相補分割マスクを使用して製造される半導体デバイ
ス、及びその製造方法に関する。

15 背景技術

- LEELやEBステッパなどで用いられるステンシルマスクは、ド
ーナツ問題や洗浄時に洗浄液の張力により、パターンが倒壊するのを
防ぐために、相補分割マスクが必要とされている。この時、1種のア
ライメントマークを使用して複数の相補分割マスクを形成する場合には次
20 のような問題点がある。

つまりアライメントマークは矩形がアレイ展開された単純なものが多
く、そのまま自動相補分割ソフトにかけても特殊な指定を行なわない限
り相補分割されず、アライメントマークが一つのブロックに集中してし
まうことがある。

- 25 このアライメントマークの集中による問題点を、ステンシルマスクを
4個の相補分割マスクA～Dに分割した場合の精度劣化を例にして説明

する。

マスク加工時のプロセスにより相補分割ブロック A が 30nm ずれて、他の相補分割ブロック B ~ D は、ずれ量が 0 nm とする。この 4 個のマスクに対し、相補分割ブロック A のみでアライメントマークを形成すると、
5 次工程レイヤのアライメントでは相補分割ブロック A に対して合わせ込むことになってしまい、相補分割マスク B ~ D に対して -30nm ずれてしまう。

このように、1つの相補分割ブロックのみで、アライメントマークを形成すると、選択した相補分割ブロックのズレ量が、その他の相補分割ブロックに加算されるため、選択した相補ブロックによって、次工程レイ
10 ヤのアライメントマークに、大きなズレ量が発生してしまう可能性が考えられる。

従来のアライメントマークの形成方法では、第 1 レイヤのパターンと第 2 レイヤのパターンとを最適な相対位置関係にすることは可能である
15 が（例えば特開平 7 - 312333 号公報）、この方法を相補分割マスクに適用すると、上述した問題点が生じてしまう。

本発明はこの様な課題、つまり相補分割マスクを使用して半導体デバイスのパターニングを行う際に、第 1 レイヤのパターンと第 2 レイヤのパターンを最適な相対位置関係で、つまり最小限のズレ量で形成できる
20 相補分割マスク、相補分割マスクへのアライメントマーク形成方法、該相補分割マスクを使用して製造される半導体デバイス、及びその製造方法を提供することを目的とする。

発明の開示

25 本発明は、ステンシルマスクを複数に分割した相補分割マスクのそれぞれに対応する相補分割領域にアライメントマークを形成したことを特

徴とする相補分割マスク、該相補分割マスクへのアライメントマーク形成方法、該相補分割マスクを使用して製造される半導体デバイス、及び該半導体デバイスの製造方法である。

以下本発明を詳細に説明する。

- 5 本発明は、ドーナツ問題等に対応するための相補分割マスクを使用する場合にもアライメントの精度を大きく劣化させることなく、半導体デバイスの各レイヤのパターン形成を行うことができる前記相補分割マスク等に関する。

- 10 前述した通り、相補分割マスクに特殊な指定をせずにアライメントマークを分配すると、該アライメントマークが単独の相補分割マスクに集中することがあり、この場合には他の相補分割マスクのアライメントが前記マークが集中した相補分割マスクに依存し、マークを有しない相補分割マスクのズレが大きくなりやすく、多レイヤパターンの形成時にはこの傾向がより顕著になる。

- 15 本発明のように分割された各相補分割マスクにアライメントマークを分配すると、各相補分割マスクごとにズレを補正できるため、全体のズレを最小限に抑えることができる。

- 20 換言すると、本発明によるアライメントマーク形成方法により各ブロックにアライメントマークを分配することで、平均化効果が発生し、チップ全体に対する重ね合わせ精度のマーヅィンを確保することが可能となる。

- 25 好ましくはアライメントマークを構成するそれぞれのマークは等間隔で形成された複数の列として配列され、列ごとの間隔が均等に分配されている相補分割マスクを作成する。マスクに照射する露光線には荷電粒子線、極短紫外光、X線、放射線、又は、可視光を用いる。

本発明で使用可能なアライメントマークは特に限定されないが、正方

形等の矩形の単位マークを縦横にアレイ展開された単純なものが好ましく、又棒状の単位マークを横方向に均一に配置したような従来から使用されている任意の単位マークの使用も可能である。単位マークが均等に配列されていると、平均的な描像でアライメントマークを形成することができ、次のレイヤのアライメント精度が向上する。又アライメントマークが形成される相補分割領域は、対応するパターンと次レイヤのパターンとに重ならない領域とし、好ましくは重ね合わせ必要マージンに対応させる。

相補分割マスクでは、各マスクに要求される位置精度が互いに異なることがあり、その場合には各相補分割マスクに分配される単位マークの数やサイズを調節して対応できる。例えば単位マークの数で対応する際に、該単位マークがアレイ状に配列されていると、複数の行又は列のマークを、要求される位置精度の高い相補分割マスクほど分配される行又は列の数を増やし、要求される位置精度の低い相補分割マスクほど分配される行又は列の数を減らすことにより、所要数の単位マークを効率良く使用してアライメントマークを構成できる。

このようにして構成されるアライメントマークを有する複数の相補分割マスクのそれぞれに順に荷電粒子線を照射し、該相補分割マスクを透過した前記荷電粒子線を半導体デバイスの表面に照射して該表面に各相補マスク上の所望パターンに対応するパターン形状を形成することで所望の配線パターンを形成でき、更に前記アライメントマークを使用して次レイヤのパターンを最小限のズレ量で形成し、これを適宜繰り返すことで各パターン間のズレの小さい半導体デバイスが製造できる。

25 図面の簡単な説明

図1(A)は、本発明の第1実施態様における分割された相補プロッ

クを示す模式図、図 1 (B) は、図 1 (A) の各相補ブロックに対応する分配されたアライメントマークの配置を示す模式図である。

図 2 A は、本発明の第 2 実施態様における分割された相補ブロックを示す模式図、図 2 B は、図 2 A の各相補ブロックに対応する分配された
5 アライメントマークの配置を示す模式図である。

図 3 は、本発明のマスキの一例を示す平面図である。

図 4 は、本発明のマスキの一例を示す断面図である。

図 5 は、本発明のマスキの一例を示す斜視図である。

図 6 は、本発明の L E E P L に用いられる露光装置の一例を示す概略
10 図である。

図 7 は、本発明のマスキを適用できる電子線露光装置の投影光学系の一例を示す概略図である。

図 8 は、本発明の半導体装置の製造方法のフローチャートである。

15 発明を実施するための最良の形態

次に本発明のアライメントマーク形成の実施態様を説明するが、これらの実施態様は本発明を限定するものではない。

本発明の第 1 実施態様を図 1 (A) 及び図 1 (B) に基づいて説明する。

20 図 1 (A) に示すステンシルマスクを 4 分割した相補分割マスクに対応するアライメントマークについて、光リソグラフィー L S A アライメントを使用した場合のアライメントマークの配置を図 1 (B) に例示する。なお、本発明は L S A アライメントに限定するものではなく、光リソグラフィの F I A、L I A アライメントや L E E P L の X 線 S L A ア
25 ライメントなどにも対応可能である。

図 1 (A) に示す、相補ブロック (相補分割マスク) 1 B、相補プロ

ック 2 B、相補ブロック 3 B 及び相補ブロック 4 B にそれぞれに対応するように、図 1 (B) に示す分割アライメントマーク M 1 a、分割アライメントマーク M 2 a、分割アライメントマーク M 3 a 及び分割アライメントマーク M 4 a が存在する。図 1 (B) から明らかなように各分割
5 アライメントマーク M 1 a ~ M 4 a は、それぞれ 7 個の正方形のマークが等間隔で形成された列が 2 列になるように配置され各列ごとの間隔も均等になっている。

前記アライメントマーク M 1 a ~ M 4 a は、例えば第 1 レイヤ目である前記相補分割マスク B 1 ~ B 4 の形成と同時に形成され、第 2 レイヤ
10 目のパターン形成の際に前記アライメントマーク M 1 a ~ M 4 a を検出し、これらのアライメントマーク M 1 a ~ M 4 a を基にして、第 2 の 4 個に分割された相補ブロックを使用して第 2 レイヤ目のパターン形成を行うとともに、この第 2 レイヤ目にもアライメントマーク形成を行い、必要に応じてこれらの操作を繰り返す。

15 前記アライメントマーク M 1 a ~ M 4 a を使用する第 2 レイヤ目のパターン形成時には、平均的なアライメントの合わせズレ量を検出することが可能となり、相補分割マスクの 1 枚のみにアライメントマークを形成した場合と比較して大幅なズレ量の減少が可能になる。

例えば、ステンシルマスクの歪や露光機の光学歪などに起因する、各
20 相補ブロックのズレ量が、相補ブロック B 1 で -10nm、相補ブロック B 2 で +10nm、相補ブロック B 3 で +10nm、相補ブロック B 4 で +50nm とする。

従来方法でアライメントの合わせズレ量を求めると、相補ブロック B
4 を基準とした場合、相補ブロック B 1 については -60nm、相補ブロッ
25 ク B 2 が -40 nm、相補ブロック B 3 が -40 nm、相補ブロック B 4 が ±0nm のアライメントに合わせズレが生じる。そのため、全体平均では -50 nm

アライメントの合わせズレが生じてしまう。

一方、本実施態様では図 1 (B) のマークを用いてアライメントを行うと、ズレ量が平均され、具体的な検出値が $+15 \text{ nm} (= (-10 + 10 + 10 + 50) / 4)$ となる。

- 5 このマーク検出結果を用いて描画すると各相補ブロック B 1、B 2、B 3、B 4 の合わせズレは -25 nm 、 -5 nm 、 -5 nm 、 $+35 \text{ nm}$ となり、前述の方法に比べ最大合わせズレ量が $+60 \text{ nm}$ から $+35 \text{ nm}$ に低減される。

- 10 上記から、従来の 1 つのアライメントマークを 1 つの相補分割ブロックに集中させてアライメントの合わせズレ量を求める方法より、本実施態様のアライメントマークを、それぞれの相補分割領域へ均等に分割する方法の方が、アライメントの合わせズレ量の減少に有効であることがわかる。

- 15 次に、ステンシルマスクを相補分割する場合に、各相補ブロックに要求する位置精度を設定し、その基準に基づいてパターンを相補分割する方法に関する第 2 実施態様に関して説明する。

- 20 本実施態様では、4 分割相補マスク B 1' ~ B 4' におけるブロックの位置要求精度を図 2 A に示す通り、相補ブロック B 1' では 30 nm のパターン精度、相補ブロック B 2' では 60 nm のパターン精度、相補ブロック B 3' では 90 nm のパターン精度、相補ブロック B 4' では 120 nm のパターン精度を要求するものと仮定する。

- 25 この各相補ブロック B 1' ~ B 4' の位置精度要求に応じて、本実施態様では図 2 B に示すように、最高の位置精度である 30 nm のパターン精度を要求する相補ブロック B 1' では、それぞれ 7 個の正方形のマークが等間隔で形成された列が 4 列になるように分割アライメントマーク M 1' a が分配され、2 番目の位置精度である 60 nm のパターン精度を要求する相補ブロック B 2' では、それぞれ 7 個の正方形のマークが等

間隔で形成された列が3列になるように分割アライメントマークM2[′]aが分配されている。更に3番目の位置精度である90nmのパターン精度を要求する相補ブロックB3[′]では、それぞれ7個の正方形のマークが等間隔で形成された列が2列になるように分割アライメントマークM3[′]aが分配され、最も位置精度が要求されない120nmのパターン精度の相補ブロックB4[′]では、7個の正方形のマークが等間隔で形成された1列の分割アライメントマークM4[′]aが分配されている。

従って全部で10列のアライメントマークが位置精度の高い順に4列、3列、2列、1列の順に分配され、アライメントマークが効率良く各相補ブロックで使用できることになる。

このように、各相補ブロックごとに要求するアライメントマーク精度に依存し、ブロック別にアライメントマークの重みづけをすることができ、これにより複数個の既存パターンに対する次工程パターンの重ね合わせ必要マージンに対応した重ね合わせマージンの精度を得ることができ、重ね合わせ必要マージンが異なる場合にも良好に適応させることができる。

本実施形態のステンシルマスクはLEELに好適に用いられる。図3は、本実施形態のステンシルマスク1の模式的な平面図である。また、図4は実施形態のステンシルマスク1の模式的な断面図である。図5は本実施形態のステンシルマスク1の模式的な斜視図である。

図3に示すように、ステンシルマスク1はシリコンウエハ2を用いて形成される。シリコンウエハ2の中央部は正形状に除去されており、この部分にメンブレン3が形成されている。メンブレン3周囲の厚膜のシリコンウエハ2は、薄いメンブレン3を支持するための支持枠（フレーム9）として用いられる。メンブレン3には、格子状に梁4が形成されている。梁4はシリコンウエハ2に複数の開口部を形成した残りの部

分である。全ての梁 4 の末端はフレーム 9 又は他の梁 4 に接続しており、梁 4 が途切れている箇所はない。

以下、メンブレン 3 の梁 4 で囲まれた正方形の部分をメンブレン分割領域 5 とする。梁 4 の両側のメンブレン 3 には梁 4 に平行に微小な幅で
5 裾部（スカート 11）を設ける。メンブレン分割領域 5 のうち、スカート 11 を除く部分をパターン領域 7 とする。また、梁 4 とスカート 11 を合わせた部分を梁用帯部（梁用ゾーン）とする。図 4 に示す 32 はメンブレン形成用層、8 は孔、10 はシリコン酸化膜である。

図 6 は L E E P L に用いられる露光装置の概略図であり、電子線の投
10 影光学系を示す。本実施形態のステンスルマスクは、図 6 に示すような露光装置による電子線露光に好適に用いることができる。

図 6 の露光装置 111 は、電子線 112 を形成する電子銃 113 の他、
15 アパーチャー 114、コンデンサレンズ 115、1 対のメインデフレクター 116、117 および 1 対の微調整用デフレクター 118、119 を有する。

アパーチャー 114 は電子線 112 を制限する。コンデンサレンズ 115 により集光される電子線 112 の断面形状は通常、円形であるが、他の断面形状であってもよい。メインデフレクター 116、117 および微調整用デフレクター 118、119 は偏向コイルであり、メインデ
20 フレクター 116、117 は電子線 112 がステンスルマスク 120 の表面に対して基本的に垂直に入射するように、電子線 112 を偏向させる。

微調整用デフレクター 118、119 は電子線 112 がステンスルマスク 120 の表面に対して垂直に、または垂直方向からわずかに傾いて
25 入射するように、電子線 112 を偏向させる。電子線 112 の入射角は、ステンスルマスク 120 上のパターン位置等に応じて最適化するが、電

子線 1 1 2 の入射角は最大でも 1 0 m r a d 程度であり、電子線 1 1 2 はステンスルマスク 1 2 0 にほぼ垂直に入射する。

図 6 の電子線 1 1 2 a ~ 1 1 2 c は、ステンスルマスクを走査する電子線 1 1 2 が、ステンスルマスク上の各位置にほぼ垂直に入射する様子
5 を示し、電子線 1 1 2 a ~ 1 1 2 c がステンスルマスク 1 2 0 に同時に入射することを示すものではない。電子線 1 1 2 の走査はラスタ走査とベクタ走査のいずれも可能である。

図 6 において、ステンスルマスク 1 2 0 の孔 1 2 1 部分を透過した電子線により、ウエハ 1 2 2 上のレジスト 1 2 3 が露光される。L E E P
10 L には等倍マスクが用いられ、ステンスルマスク 1 2 0 とウエハ 1 2 2 は近接して配置される。

上記の露光装置 1 1 1 で電子線露光を行う際に、ステンスルマスク 1 2 0 として本発明の本実施形態に示すようなステンスルマスクを用いる。
本実施形態に係るステンスルマスクでは、メンブレンが支持層によって
15 補強されていることから、メンブレンのたわみが防止され、電子線露光での転写パターンの位置ずれが低減される。

また支持層の開口部がメンブレンの孔に自己整合的に形成されていることから、孔部分を透過する電子線が支持層によって遮られることがない。支持層の開口部をメンブレンの孔に自己整合的に形成しない場合には、
20 は、支持層に開口部を形成するためのレジストのパターニングを、メンブレンに孔を形成するためのレジストのパターニングと別に独立して行い、レジストをマスクとするエッチングによって支持層に開口部を形成する。

支持層の開口部をこのような方法で形成することも可能であるが、この
25 場合には、支持層のレジストのパターニングとメンブレン上のレジストのパターニングの位置合わせ精度が十分でないと、孔部分を透過する

電子線が支持層の一部によって遮られる可能性がある。したがって、位置合わせのマージンが小さい微細パターンを形成する場合には、上記第1または2に示すように、支持層の開口部をメンブレンの孔に自己整合的に形成することが特に好ましい。

- 5 図7は本発明のマスクを適用できる他の電子線露光装置の投影光学系の例を示す概略図である。図7に示す投影光学系によれば、マスク201のパターンが電子線を用いてウエハ等の試料202に、所定の倍率で縮小転写される。電子線の起動はコンデンサレンズ203、第1投影レンズ204、第2投影レンズ205、クロスオーバーパーチャ206、
10 試料下レンズ207および複数の偏向器208によって制御される。

- 図7に示す投影光学系では、マスク201を透過した電子線が、クロスオーバーパーチャ206を通過して試料202に垂直に入射するように、複数の偏向器208から偏向磁界を発生させる。上記のような投影光学系や、ステンスルマスクが用いられる他の荷電粒子線装置などに本
15 発明のマスクを適用することも可能である。

- 本発明のマスクおよびその製造方法と半導体装置の製造方法の実施形態は、上記の説明に限定されない。例えば、本発明のマスクおよびその製造方法をLEEL以外の荷電粒子転写型に適用することもできる。具体的には、PREVAILや可変成形型電子線直接描画機、あるいは
20 イオンビームリソグラフィ用のステンスルマスクおよびその製造方法に、本発明を適用することもできる。また、本発明をX線リソグラフィ用マスクおよびその製造方法に適用することも可能である。その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

- 本発明のマスクの製造方法によれば、メンブレンに高精度にパターン
25 を形成することができる。

本発明の半導体装置の製造方法によれば、荷電粒子転写型リソグラフ

イにおいて微細なパターンを高精度に転写できる。

- 図 8 に本発明の半導体装置の製造方法のフローチャートを示す。本発明に係る相補分割マスクを介して露光線を照射する工程（S101）の後、所望パターンに対応するパターンを形成する工程（S102）を行い、次工程のアライメントを、前記パターンを使用して行う工程（S103）を行い、後の半導体装置の製造工程（S104）を行う。本発明の半導体装置の製造方法により、相補分割マスクを使用して製造される半導体デバイスの隣接するレイヤのパターン間の位置ズレ量は最小となり、高性能な半導体デバイスを得ることができる。
- 10 露光線は荷電粒子線のみならず、極短紫外光（EUV：Extreme Ultraviolet）、X線、放射線、又は、可視光であっても適宜使用することができる。

産業上の利用可能性

- 15 以上の説明から明らかなように、本発明により各相補分割マスクにアライメントマークを分配すると、各ブロック間に平均化効果が発生し、チップ全体に対する合わせ精度を確保することが可能となり、この相補分割マスクを使用して製造される半導体デバイスの隣接するレイヤのパターン間の位置ズレ量が最小となり、高性能の半導体デバイスが得られる。
- 20

請 求 の 範 囲

1. ステンシルマスクを複数に分割した相補分割マスクのそれぞれに
対応する相補分割領域にアライメントマークを形成したことを特徴とす
5 る相補分割マスク。
2. 分割した前記相補分割マスクが4つの相補分割領域を有する請求
項1に記載の相補分割マスク。
3. 前記各相補分割領域に対して、アライメントマークが均等に分配
されている請求項1に記載の相補分割マスク。
- 10 4. 前記アライメントマークを構成するそれぞれのマークは等間隔で
形成された複数の列として配置され、前記列ごとの間隔が均等に分配さ
れている請求項3に記載の相補分割マスク。
5. 前記各相補分割領域の必要な位置精度に応じて、アライメントマ
ークを不均等に分配した請求項1に記載の相補分割マスク。
- 15 6. 前記アライメントマークを構成するそれぞれのマークの列が配置
され、前記相補分割領域ごとに前記列の数が異なって形成されている請
求項5に記載の相補分割マスク。
7. 前記アライメントマークを次工程のパターンに対する前記各相補
分割領域に、既存パターンの重ね合わせ必要マージンに対応させた請求
20 項1に記載の相補分割マスク。
8. 前記アライメントマークを構成する単位マークがアレイ状に配列
されている請求項1に記載の相補分割マスク。
9. ステンシルマスクを複数に分割し、該相補分割マスクのそれぞれ
に対応する相補分割領域に、アライメントマークを分配し、次工程のア
25 ライメントを前記アライメントマークを使用して行うことを特徴とする
相補分割マスクのアライメントマークの形成方法。

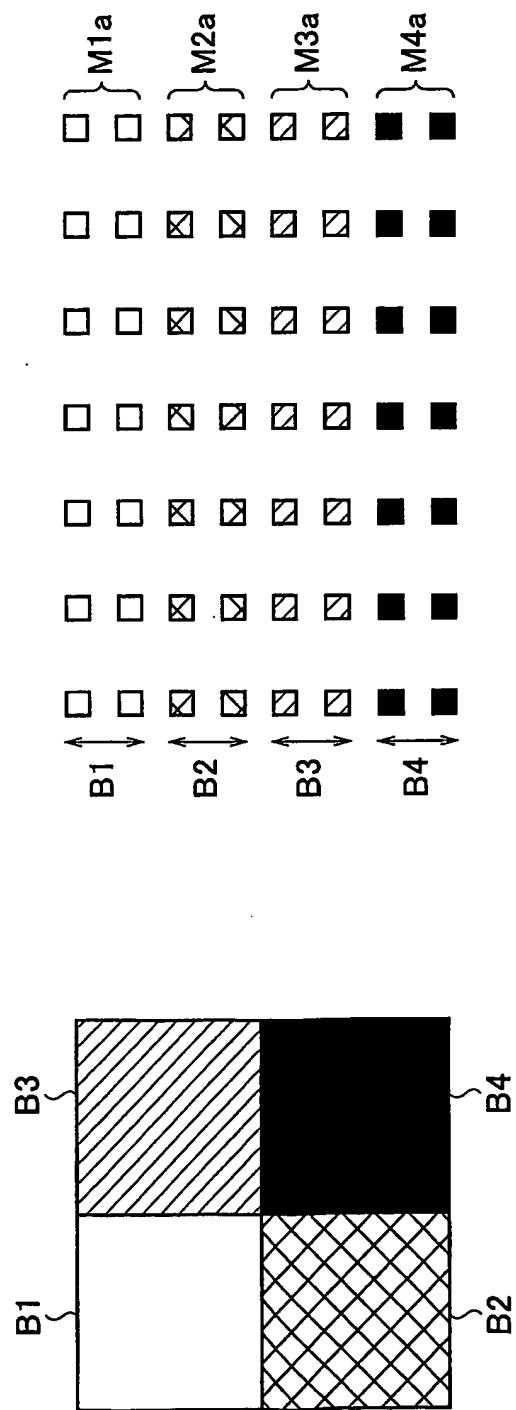
- 10 . 分割した前記相補分割マスクが4つの相補分割領域を有する請求項9に記載のアライメントマークの形成方法。
- 11 . 前記各相補分割マスクに対して、アライメントマークが均等に分配されている請求項9に記載のアライメントマークの形成方法。
- 5 12 . 前記アライメントマークを構成するそれぞれのマークは等間隔で形成された複数の列として配置され、前記列ごとの間隔が均等に分配されている請求項11に記載のアライメントマークの形成方法。
- 13 . 前記各相補分割マスクの必要な位置精度に応じて、アライメントマークを不均等に分配した請求項9に記載のアライメントマークの形成方法。
- 10 14 . 前記アライメントマークを構成するそれぞれのマークの列が配置され、前記相補分割領域ごとに前記列の数が異なって形成されている請求項13に記載のアライメントマークの形成方法。
- 15 15 . 前記アライメントマークを次工程のパターンに対する前記各相補分割領域に、既存パターンの重ね合わせ必要マージンに対応させた請求項9に記載のアライメントマークの形成方法。
- 16 . 前記アライメントマークを構成する単位マークがアレイ状に配列されている請求項9に記載のアライメントマークの形成方法。
- 17 . ステンシルマスクを複数の分割し、該相補分割マスクのそれぞれに対応する相補分割領域に、アライメントマークを均等分割して、次工程のアライメントを前記アライメントマークを使用して行うようにした相補分割マスクに、露光線を照射し、該相補分割マスクを透過した前記露光線をその表面に照射して該表面に前記ステンシルマスク上の所望パターンに対応するパターン形状を形成することを特徴とする半導体デバイス。
- 20 25 18 . 前記露光線は荷電粒子線、極短紫外光、X線、放射線、又は、

可視光であることを特徴とする半導体デバイス。

19. ステンシルマスクを複数に分割し、該相補分割マスクのそれぞれに対応する相補分割領域に、アライメントマークを均等分割し、この相補分割マスクに荷電粒子線を照射し、該相補分割マスクを透過した前
- 5 記露光線をその表面に照射して該表面に前記ステンシルマスク上の所望パターンに対応するパターン形状を形成し、次工程のアライメントを前記アライメントマークを使用して行うようにしたことを特徴とする半導体デバイスの製造方法。

20. 前記露光線は荷電粒子線、極短紫外光、X線、放射線、又は、
- 10 可視光であることを特徴とする請求項19に記載の半導体デバイスの製造方法。

1/8



(A)

(B)

Fig.1

2/8

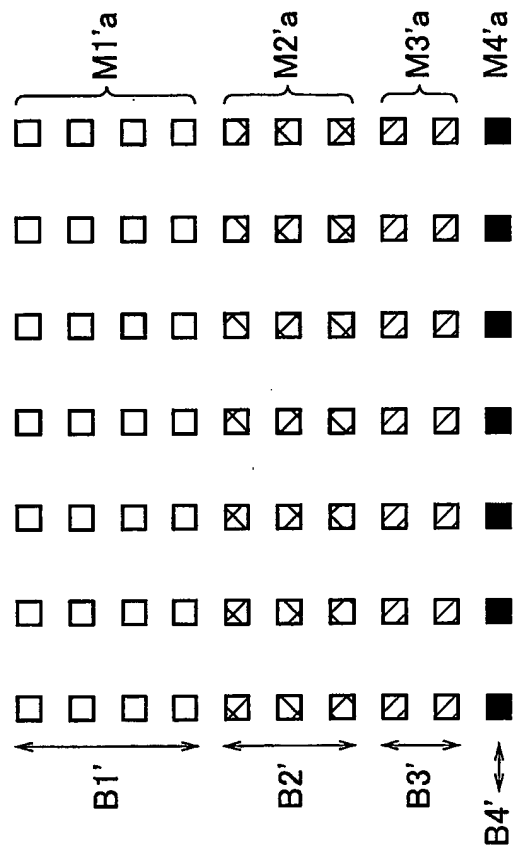


Fig. 2B

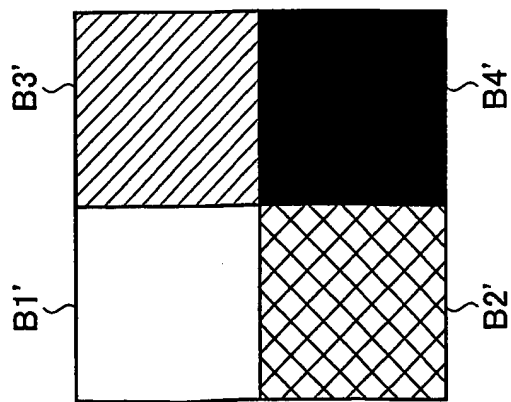


Fig. 2A

3/8

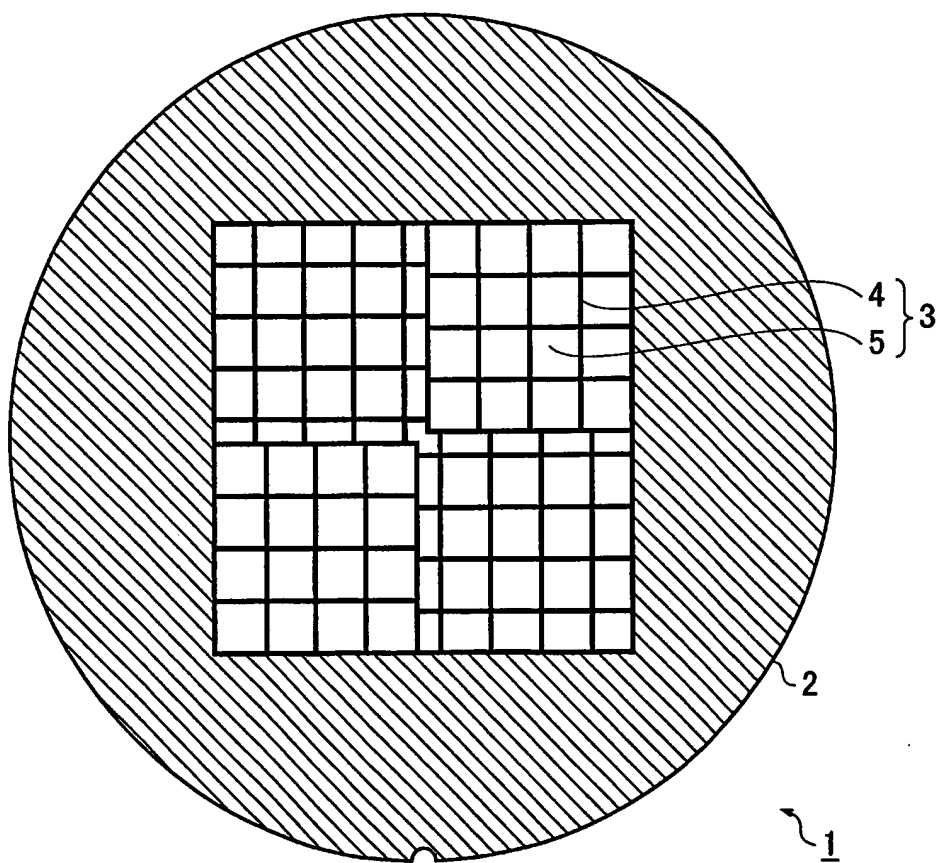


Fig.3

4/8

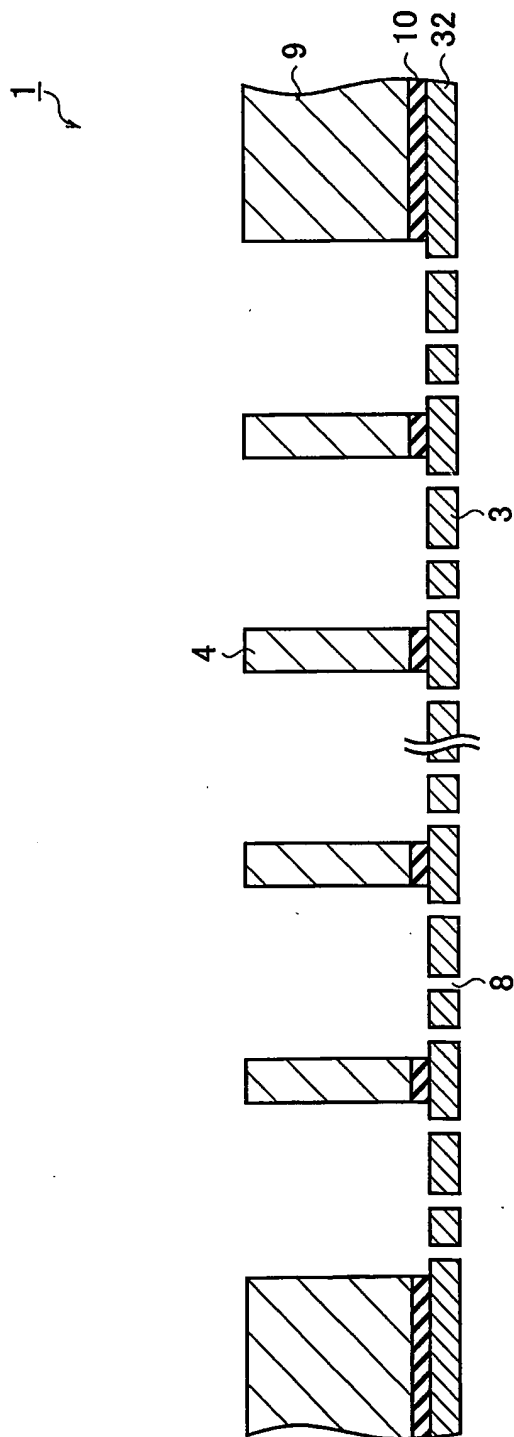


Fig.4

5/8

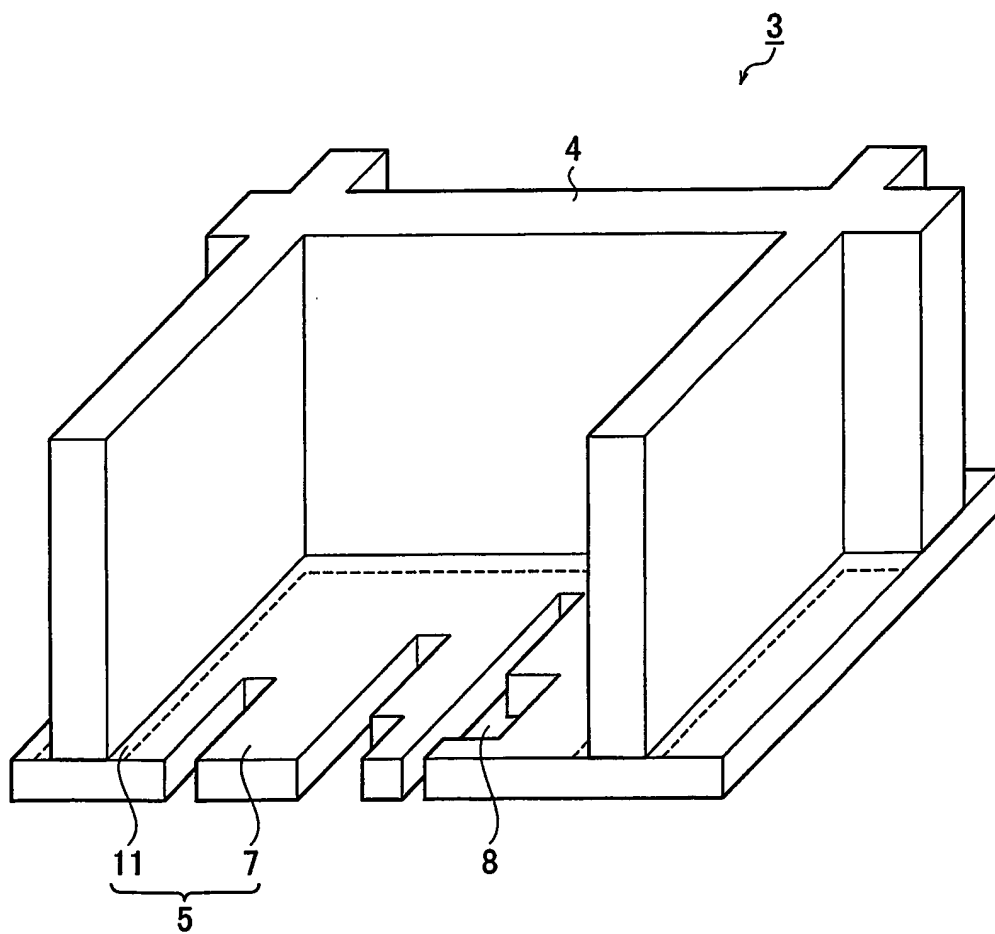


Fig.5

6/8

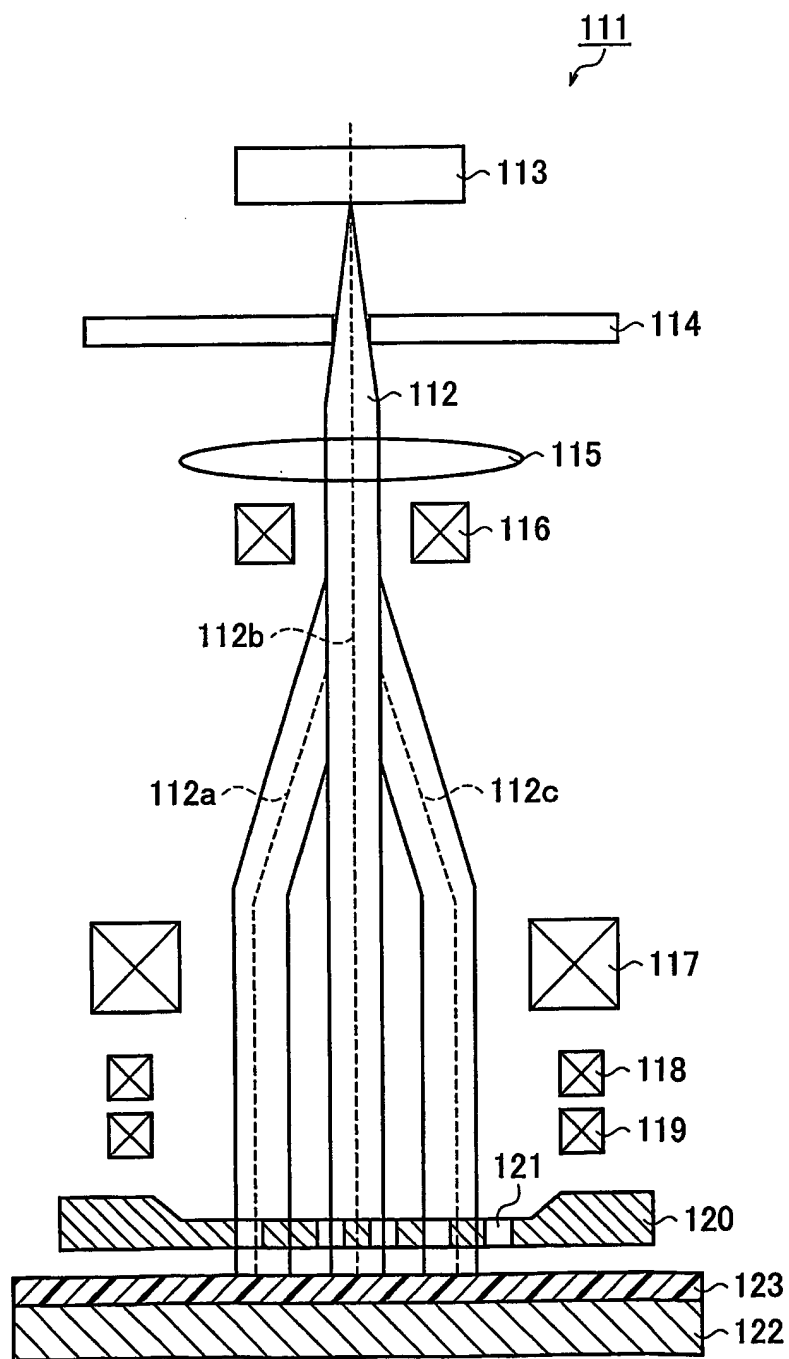


Fig.6

7/8

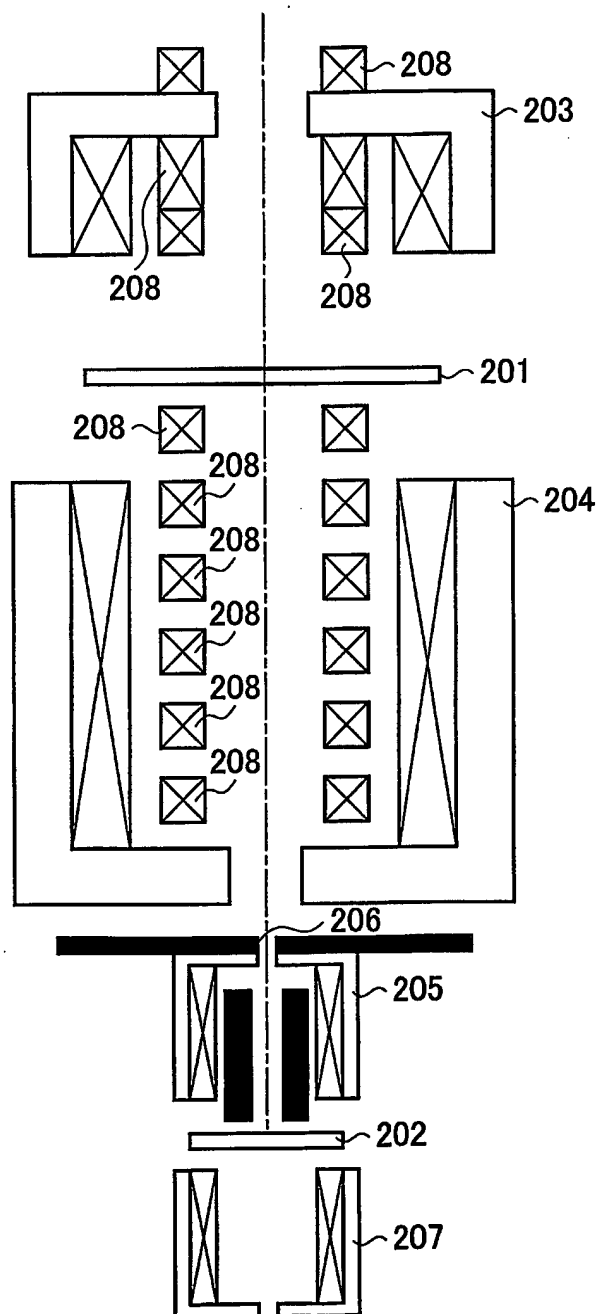


Fig.7

8/8

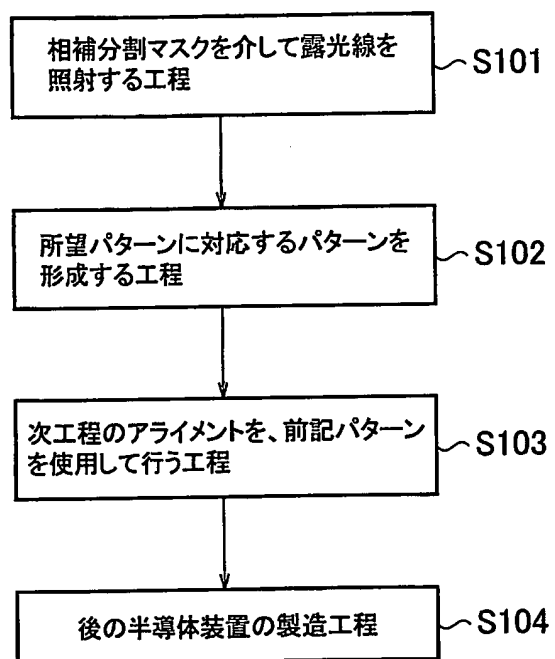


Fig.8